

SON-2274

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In the Patent Application of

Mamoru KUDO et al

Group Art Unit: To Be Assigned

Serial No. To Be Assigned

Examiner: To Be Assigned

Filed: December 4, 2001

For: PHASE-LOCKING LOOP CIRCUIT

CLAIM TO PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
Washington, D.C. 20231

Sir:

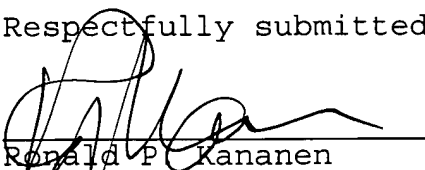
The benefit of the filing date of the following prior application filed in the following foreign country is hereby requested and the right of priority provided under 35 U.S.C. 119 is hereby claimed:

Japanese Patent Appl. No. P2000-374695 filed December 5, 2000

In support of this claim, filed herewith is a certified copy of said original foreign application.

Respectfully submitted,

Dated: December 4, 2001


Ronald P. Kananen
Reg. No. 24,104

RADER, FISHMAN & GRAUER P.L.L.C.
1233 20TH Street, NW, Suite 501
Washington, DC 20036
202-955-3750-Phone
202-955-3751 - Fax
Customer No. 23353

D. J.
#4 4-707

3c972 U.S. PTO
10/000347



日本国特許庁
JAPAN PATENT OFFICE

1c872 U.S. PTO

10/000347



12/04/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2000年12月 5日

出願番号

Application Number:

特願2000-374695

出願人

Applicant(s):

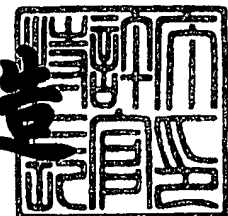
ソニー株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年10月26日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3093900

【書類名】 特許願

【整理番号】 0000331001

【提出日】 平成12年12月 5日

【あて先】 特許庁長官殿

【国際特許分類】 H03L 7/00

【発明者】

 【住所又は居所】 神奈川県横浜市保土ヶ谷区神戸町134番地 ソニー・
エルエスアイ・デザイン株式会社内

 【氏名】 工藤 守

【発明者】

 【住所又は居所】 神奈川県横浜市保土ヶ谷区神戸町134番地 ソニー・
エルエスアイ・デザイン株式会社内

 【氏名】 中村 忍

【特許出願人】

 【識別番号】 000002185

 【氏名又は名称】 ソニー株式会社

 【代表者】 出井 伸之

【代理人】

 【識別番号】 100086841

 【弁理士】

 【氏名又は名称】 脇 篤夫

【代理人】

 【識別番号】 100114122

 【弁理士】

 【氏名又は名称】 鈴木 伸夫

【手数料の表示】

 【予納台帳番号】 014650

 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9710074

【包括委任状番号】 0007553

【プールの要否】 要

【書類名】 明細書

【発明の名称】 フェイズロックドループ回路

【特許請求の範囲】

【請求項 1】 回転駆動されるディスク状記録媒体から読み出されるデータに同期したチャネルクロックを再生するためのフェイズロックドループ回路において、

当該フェイズロックドループ回路内の所要の信号経路に挿入され、入力信号を分周すると共に、ディスク状記録媒体から再生される信号フォーマットごとに対応して設定された所要の分周比に切り換え可能な分周手段、

を備えていることを特徴とするフェイズロックドループ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、回転駆動されるディスク状記録媒体から読み出されるデータに同期したチャネルクロックを再生するためのフェイズロックドループ回路に関するものであり、特に、記録されるデータフォーマットが異なる複数種類のディスク状記録媒体の再生に対応させる場合に好適とされる。

【0002】

【従来の技術】

以前からオーディオデータが記録された再生専用ディスクであるCD (Compact Disc) が広く普及しており、また、近年においてはCDフォーマットに準拠したCD-ROM、CD-R等をはじめとするディスクも普及してきている。

そしてまた、近年においては、例えばCDと同じディスク径を有しながらも、より高い記録密度を有する、DVD (Digital Video Disc / Digital Versatile Disc) といわれるディスクメディアも普及してきている。

【0003】

このようなことを背景として、例えば上記したCDフォーマットに準拠したディスクの再生と、DVDフォーマットに準拠したディスクの再生とが可能なように構成した再生装置が開発され、また知られてきている。

【0004】

周知のように、CDとDVDの回転駆動制御方式にはCLV（線速度一定）が採用されていることから、これらのディスクから光学系によって再生された信号について復調を行うためには、その信号のビット周期に対応する周波数のチャンネルクロックを再生することが必要となる。

そしてこのためには、フェイズロックドループ回路（以降PLL(Phase Locked Loop) 回路という）を利用することが広く知られている。このようなPLL回路では、ディスクから読み出された信号を入力することでクロックを再生するようにされる。また、このPLL回路によってはディスクを所要の回転速度によってCLV制御することにも用いられる。

【0005】

【発明が解決しようとする課題】

ここで、CDとDVDとは、記録される信号フォーマットは異なっており、チャンネルクロックとしても互いに異なった周波数が規定されている。このため、CDとDVDとを再生可能な再生装置においては、チャンネルクロックを生成するためのPLL回路として、CDとDVDとのそれぞれに適合するようにして構成される2系統を備えるようにされているのが現状である。

【0006】

上記のようにして2系統のPLL回路を備える必要から、部品点数の増加によるコストアップを招いており、また、再生性能の調整のために、より多くの手間もかかっていた。さらには、再生装置のファームウェアとしても、これら2系統のPLL回路に対応して、別系統の制御系を用意する必要も生じていたものである。このようにして、複数系統のPLL回路を備えることによって、各種のデメリットが生じていたものである。

【0007】

【課題を解決するための手段】

そこで本発明は上記した課題を考慮して、回転駆動されるディスク状記録媒体から読み出されるデータに同期したチャンネルクロックを再生するためのフェイズロックドループ回路として、当該フェイズロックドループ回路内の所要の信号経

路に挿入され、入力信号を分周すると共に、ディスク状記録媒体から再生される信号フォーマットごとに対応して設定された所要の分周比に切り換え可能な分周手段を備えることとした。

【0008】

上記構成によれば、フェイズロックドループ回路において、例えば位相比較器等に入力する周波数信号を分周する際の分周比を可変可能に構成される。

これは即ち、再生されるディスク状記録媒体の種別等に応じて、再生信号のチャネルクロック周波数が異なる場合であっても、上記分周比を可変することで、1組のフェイズロックドループ回路によって適正に、再生信号に同期したチャネルクロックを再生可能となることを意味する。

【0009】

【発明の実施の形態】

図1は本発明の実施の形態としてのPLL回路を備えた再生装置の構成例を概略的に示している。この図に示す再生装置としては、CDとDVDとの両者に対応して再生が可能な構成を採っているものとされる。なお、この図においては、主として、本実施の形態としてのPLL回路の動作に関わる部位を示しているものとされ、例えば、トラッキングサーボ制御系、及びフォーカスサーボ制御系等の構成は省略して示している。

【0010】

この図1に示す再生装置において、ディスク100はCD、又はDVDとなる。なお、CDとしては、例えばCD-DA (CD-Digital Audio) だけではなくCD-ROMなども、この図に示されるディスク100として再生可能である。

【0011】

ディスク100は、ターンテーブルに積載され、記録／再生動作時においてスピンドルモータ1によってCLV（一定線速度）で回転駆動される。そして光学ピックアップ2によってディスク100上に形成されるピットの読み出しが行なわれる。

【0012】

光学ピックアップ2内には、ここでは図示していないが、周知のように、レー

ザ光源となるレーザダイオード、反射光を検出するためのフォトディテクタ、レーザ光の出力端となる対物レンズ、レーザ光を対物レンズを介してディスク記録面に照射し、またその反射光をフォトディテクタに導く光学系が備えられる。

【0013】

ディスク100からの反射光情報は、例えば光学ピックアップ2内のフォトディテクタによって検出され、受光光量に応じた電気信号（受光信号）とされてRFアンプ3に供給される。

【0014】

RFアンプ3では、入力された受光信号について所要の演算処理等を施すことで必要な信号を生成する。例えば再生データとなる再生RF信号、サーボ制御のための各種サーボ信号などを生成する。

【0015】

RFアンプ3にて生成された再生RF信号は、デジタル信号処理部20内のアシンメトリ補正回路4に入力される。

アシンメトリ補正回路4に入力された再生RF信号は、アシンメトリ補正が行われると共に2値化されることで、CDの再生信号であれば、いわゆるEFM信号（8-14変調信号）に変換され、DVDの再生信号であればEFM+信号（8-16変調信号）に変換される。そして、デジタルPLL処理部5、EFM復調回路6、及びシンク検出／保護回路8に対して分岐して入力される。

【0016】

EFM復調回路6に入力されたEFM信号又はEFM+信号は、ここでEFM復調される。即ち、14-8変換処理、若しくは16-8変換処理が行われる。EFM復調回路6によりEFM復調されたデータはエラー訂正回路7に転送される。エラー訂正回路7では、転送されたデータについてバッファリングを行いながらエラー訂正処理及びデインターリーブ処理を実行していく。このようにして処理が施されたデータは、例えばデータバス12を介して出力させることができるようになっている。

【0017】

デジタルPLL処理部5は、後述するようにして3段のPLL回路を備えると

共に、最終段のPLL回路についてはデジタルPLL回路とした構成を採っている。また、CDとDVDの両者の再生に対応可能な構成が採られているものである。

このデジタルPLL処理部5は、EFM信号を入力して上記3段のPLL回路を動作させることにより、EFM信号に同期したチャネルクロックfckを出力する。このチャネルクロックfckは、例えばEFM復調回路6のための動作クロックとして利用され、これによって、EFM復調回路6の動作タイミングは、スピンドルモータ1の回転速度に基づく再生データの転送レートに追従したものとなる。

【0018】

また、デジタルPLL処理部5では、上記PLL回路の動作により得られる信号や入力されたEFM信号等を利用してスピンドル回転制御のための位相誤差信号も出力するようにされている。

上記位相誤差信号は、CLV/CAVプロセッサ9に対して入力される。CLV/CAVプロセッサ9では、この位相誤差信号が示す位相誤差に応じてスピンドルモータ1の回転速度を可変するための制御信号を生成する。そして、スピンドルドライバ10では、この制御信号に基づいてモータ駆動信号を生成してスピンドルモータに供給する。このようにして、スピンドルモータ1は、例えば所要のCLV速度によって回転するように制御される。

【0019】

シンク検出/保護回路8では、例えばクロック発生回路11から入力される基準クロックXtalを基に、アシンメトリ補正回路4から入力されるEFM信号からフレームシンクを検出するための動作を行う。なお、CD、DVDの各フォーマットにより規定されるシンクパターンについては、後述する。

また、シンク検出/保護回路8では、ドロップアウトやジッターの影響でデータ中のフレームシンクパターンが欠落したり、同じフレームシンクパターンが検出されたりした場合のために、フレームシンクの内挿処理及びウィンドウ保護等の処理も実行する。

【0020】

クロック発生回路11は、例えば水晶発振子などによる発振周波数信号に基づいて、基準クロックXtalを発生させる。この基準クロックは、上述したシンク検出／保護回路9その他の所要の機能回路部において利用されることになる。

【0021】

システムコントローラ13は、マイクロコンピュータ等を備えて構成され、当該再生装置を構成する各機能回路部が実行すべき所要の動作に応じて適宜制御処理を実行する。

【0022】

続いて、上記図1に示した再生装置の再生対象となるディスクメディアであるところのCD及びDVDのフレームフォーマットについて、図5及び図6を参照して説明する。

先ず、CDから説明する。

周知のように、CDに記録されるデータの最小単位はフレームとなる。このフレームは、より正確には、EFM(Eight to fourteen Moduration)フレームともいわれる。

このような1フレーム(EFMフレーム)の構造は図5(a)に示すものとなる。

1フレームは588チャンネルビットで構成され、先頭24チャンネルビットがシンクパターンとなっている。これは、11T+11T+2T(つまり反転3回)という固有の反転間隔のパターンを有するものとなる。そして、このシンクパターンに続く14ビットのEFMワードと、各EFMワード間に配される3チャンネルビットのマージンビットから成る。

ここで、シンクパターンに続く14チャンネルビットがサブコードのエリアとなり、その後にメインデータとパリティが所定の規則に従って14チャンネルビットのEFMワードに対して割り当てられる。

【0023】

図5(b)には、DVDのフレーム構造が示されている。

DVDのフォーマットでは、1フレームは1488チャンネルビットで構成され

、先頭の32チャンネルビットがシンクパターンのエリアとなる。そして、以降の1456チャンネルビットのエリアには、16チャンネルビットごとのワード単位が連続するようされており、ここにデータが格納されることになる。なお、確認のために述べておくと、DVDのフォーマットにあっては、EFM+変調が採用されており、8ビット単位のワードを16ビットのワードに変換するようにされている。

【0024】

そして、上記32チャンネルビットから成るシンクパターンは、図6に示すようにして、state1~4ごとに異なるビットパターンを有する8つのシンクコードSY0~7が規定されている。つまり、 $4 \times 8 = 32$ パターンのシンクコードが規定されているものである。そして、これらのうちから、例えば前後のデータの文脈等に従って、適切なビットパターンを有するシンクコードが選択され、上記図5(b)に示したシンクパターンのエリアに格納されるものである。

そして、この図6からも分かるように、これら32種類のシンクパターンは、下位19ビットが共通で、かつ固有のパターンとなっており、これは、反転間隔としては $14T + 4T$ となるものである。つまり、32種類すべてのシンクコードは、 $14T$ という固有の反転間隔を必ず有していることになる。

【0025】

ここで、本実施の形態の再生装置としては、上記のようにしてフォーマットの異なるCDとDVDとの両者に対応して再生を可能とするためのPLL回路（デジタルPLL処理部5）の構成に特徴を有する。つまり、本実施の形態においては、CDとDVDとに対応してそれぞれ別個のPLL回路を設けるのではなく、1つのPLL回路を共有したうえで、CDとDVDとの再生に対応するものである。

そこで、本実施の形態としてのPLL回路の説明を行うのに先だって、このPLL回路の信号処理にとって必要とされる、CDとDVDとに対応する信号パラメータについて説明しておくこととする。

【0026】

図7に、所要の信号パラメータの値について、CDとDVDとを比較して示す

。なお、ここでは共に、標準速度である1倍速CLVの場合を前提とする。

先ずCDについては次のようになる。

CDのフォーマットに基づけば、RF信号のパターンとしては、EFM変調方式が採用されていることで、最小反転間隔3T～最大反転間隔11Tを有するランレングス・リミテッド符号となる。また、チャンネルクロック周波数 $f_{ck} = 4.3218\text{MHz}$ である。

また、シンクフレーム(EFMフレーム)長 T_{sync} は、図5(a)にも示したように588チャンネルビットとなり、シンクフレーム周波数 $f_{sync} = 7.35\text{KHz}$ となる。

また、シンクコードパターンは、図5(a)にも示したように11T+11T+2Tの固定パターンとなる。

また、水晶系のクロックであり、クロック発生回路11にて生成される基準クロック X_{tal} の周波数としては $X_{tal} = 16.9344\text{MHz}$ を用いるようにされ、この基準クロック X_{tal} に相当したチャンネルクロック生成用基準信号 V_{clk} の周波数もまた、 $V_{clk} = 16.9344\text{MHz} \pm \alpha$ となる。

【0027】

ここで、シンクフレーム周波数 f_{sync} と基準クロック X_{tal} との関係は

$$\begin{aligned} f_{sync} &= X_{tal} / 2304 \\ &= 16.9344\text{MHz} / 2304 \\ &= 7.35\text{KHz} \cdots (\text{式1}) \end{aligned}$$

で表すことができる。

また、チャンネルクロック周波数 f_{ck} とシンクフレーム周波数 f_{sync} との関係は、

$$\begin{aligned} f_{ck} &= f_{sync} \times T_{sync} \\ &= 7.35\text{KHz} \times 588 \\ &= 4.3218\text{MHz} \cdots (\text{式2}) \end{aligned}$$

となっているものである。

上記(式1)(式2)から分かるように、基準クロック X_{tal} の周波数は、

CDフォーマットに従った信号の転送レート（つまり、シンクフレーム周波数 f_{sync} 、チャネルクロック周波数 f_{ck} 等）に基づいて設定されているものである。

【0028】

続いて、DVDについては次のようになる。

DVDのフォーマットとしてはEFM+変調方式が採用されており、これに基づいてF信号のパターンは、最小反転間隔 $3T$ ～最大反転間隔 $11T$ を有することとなる。但し、図5（b）にも示したように、シンクパターンにおいて $14T$ という固定のパターンが得られていることで、結果的には、 $3T$ ～ $11T$ 、及び $14T$ の反転間隔を有する信号となる。

そして、チャネルクロック周波数 $f_{ck} = 26.16\text{MHz}$ とり、また、シンクフレーム長 $T_{sync} = 1488T$ となる。そして、シンクフレーム周波数 f_{sync} としては、

$$\begin{aligned} f_{sync} &= f_{ck} / T_{sync} \\ &= 26.16\text{MHz} / 1488 \\ &\approx 17.58\text{KHz} \cdots (\text{式3}) \end{aligned}$$

となるものである。

また、シンクパターンとしては、図5（b）及び図6により説明もしたように、 $14T + 4T$ の固定パターンを含む32種類を有している。

【0029】

そしてDVDに対応する、基準クロック X_{tal} の周波数としては、上記したCDの場合と同じ、 $X_{tal} = 16.9344\text{MHz}$ を用いるようにされ、従って、基準クロック X_{tal} に相当したチャネルクロック生成用基準信号としても $V_{clk} = 16.9344\text{MHz} \pm \alpha$ とする。

上記CDに対応した信号処理パラメータからも分かるように、 $X_{tal} = 16.9344\text{MHz}$ 、 $V_{clk} = 16.9344\text{MHz} \pm \alpha$ という値は、CDのシンクフレーム周波数 f_{sync} を基準として設定されているものであり、厳密には、DVDの信号パラメータとして用いるべき基準クロック周波数、及びチャネルクロック生成用基準信号の周波数とは異なっているものである。しかし、本実

施の形態では、後述するようにして、本来はCD再生のみに適合して構成されたPLL回路を流用したうえで、CDとDVDの両者の再生に適応したPLL回路を構成することから、基準クロック X_{tal} 、及びチャネルクロック生成用基準信号 v_{clk} の周波数は、CDに対応して設定されたパラメータ値をそのまま、DVDにも適用するものである。これにより、DVD再生時に関しては、特定の信号の周波数がフォーマットとは若干異なったものとなるのではあるが、これについては後述する。

【0030】

上記したCDとDVDについての信号パラメータの条件をふまえて、以降、本実施の形態としてのPLL回路の説明を行っていくこととする。本発明の実施の形態としてのPLL回路とは、即ち、図1に示されるデジタルPLL処理部5となる。

図2には、デジタルPLL処理部5の内部構成例が示されている。前述もしたように、このデジタルPLL処理部5は、スピンドルモータ1の回転制御（CLV制御）のためのループを形成していると共に、チャネルクロック f_{ck} を生成するための処理を実行する。

【0031】

この図に示されるように、デジタルPLL処理部5は、システムPLL回路5A、HIF-PLL回路5B、及びデジタルPLL回路48の3段のPLL回路系を備えた構成を有している。システムPLL回路5Aは、チャネルクロック生成用基準信号 V_{clk} を生成するとともに、スピンドルモータの回転制御を実行する。HIF-PLL回路5Bは、チャネルクロック生成用基準信号 V_{clk} に基づいて、デジタルPLL回路5Cの入力信号である高周波信号HIFを生成する。そして、デジタルPLL回路48は、高周波信号HIFに基づいて、再生RF信号に同期したチャネルクロック f_{ck} を生成する。

【0032】

アシンメトリ補正回路4（図1）にて二値化されて、デジタルPLL処理部5に入力されたRF信号は、システムPLL回路5A内のフレームシンク処理部31に対して入力される。

フレームシンク処理部31においては、後述するようにして、入力されたRF信号に基づいてフレームシンクについての所要の処理を実行することで、スピンドル回転制御に必要な誤差信号Serを出力する。

また、フレームシンク処理部31に対しては、チャンネルクロックfckが入力される。さらに、スイッチSW1を介して基準クロックXtal又はチャンネルクロック生成用基準信号Vclkが入力される。スイッチSW1を介して基準クロックXtalが入力される場合には、キャプチャレンジが拡大されない通常モードによるデジタルPLL処理部5の動作となる。これに対して、チャンネルクロック生成用基準信号Vclkが入力される場合には、キャプチャレンジを拡大してロックが可能で、いわゆるワイドキャプチャモードとしての動作が可能となる。なお、以降の説明は、通常モードによる動作が行われていることを前提とする。

【0033】

上記誤差信号Serは、デジタルフィルタ32及びLPF33を介することで誤差に応じたレベルを有する低域信号とされて、VCO34に入力される。VCO34では、上記低域信号としての電圧値によってその周波数が可変制御される発振信号を出力する。

【0034】

VCO34から出力された周波数信号は、分周比 $1/k$ の分周器35を介することで、チャンネルクロック生成用基準信号Vclkとして出力される。

そして、このチャンネルクロック生成用基準信号Vclkは、さらに分周器36、37、38を介して位相比較器41に対して入力される。

また、分周器36は、例えばシステムPLL回路5Aの動作速度として十分な性能が得られるようにすることを目的として、入力信号を2分周するために設けられる。後述する分周器39もこれと同様の理由によって分周比 $1/2$ を有する。分周器37、38は、それぞれ分周比 $1/m$ 、 $1/n$ を有するが、後述するようにして、 m 、 n の値を変更設定することで、再生倍速度を任意に可変制御することが可能となるものである。

【0035】

また、位相比較器41では、チャネルクロック生成用基準信号Vc1kを上記分周器36, 37, 38を介して分周した分周信号が入力され、基準クロックXtalを分周器39(分周比1/2), 40(分周比1/32)を介して分周した分周信号がリファレンスとして入力される。そして、これらの入力された分周信号について位相比較を行う。

そして、その位相誤差情報をCLV/CAVプロセッサ9に対して出力する。CLV/CAVプロセッサ9では、この位相誤差信号に基づいてスピンドル回転速度を制御するためのスピンドル制御信号を生成し、スピンドルドライバ10に供給するようにされる。このようにしてシステムPLL回路5Aが動作することで、デジタルPLL処理部5がロックしている状態では、所要の回転速度によるスピンドル回転制御(CLV制御)が適正に実行されていることになり、また、チャネルクロック生成用基準信号Vc1kとしては、再生対象がCD、DVDであるに関わらず、16.9344MHzが得られていることになる。

【0036】

チャネルクロック生成用基準信号Vc1kは、HIF-PLL回路5Bの分周器42により分周されて位相比較器44に入力される。また、位相比較器44にはVCO46の出力を切換分周器43を介して分周した分周信号が入力される。

ここで、分周器42には1/64の分周比が設定される。また、分周器43は、後述する構成によって、CD再生時には分周比1/98が設定され、DVD再生時には、分周比1/558が設定されるように切り換えが行われることになるのであるが、これらの分周比の設定の根拠については、後述する。

【0037】

位相比較器44は、上記チャネルクロック生成用基準信号Vc1kの分周信号と、VCO46の出力を切換分周器43を介して分周した分周信号とについて位相比較を行ってその位相誤差信号をLPF45に出力する。LPF45によって位相誤差に応じたレベルの低域信号が得られ、この低域信号のレベルによってVCO46の発振周波数を制御することになる。

VCO46から出力された周波数信号は、分周比1/kを有する分周器47に

より分周されることで、高周波信号HIFとして得られ、上述もしたように、切換分周器43を介して位相比較器44に対して入力される。なお、分周器47では、CD再生時には高周波信号HIF=25.9308MHz、DVD再生時には高周波信号HIF=147.6488MHzが得られるように、例えばシステムコントローラ13の制御によって変数kが可変される。

このようなループが形成されることで、PLL回路がロックしている状態では、CD再生時とDVD再生時とのそれぞれに対応した所要の周波数(CD:25.9308MHz/DVD:147.6488MHz)による高周波信号HIFが安定的に得られることになる。

【0038】

上記高周波信号HIFは、デジタルPLL回路48に入力される。そして、CD再生時に対応する高周波信号HIF=25.9308MHzが入力されたときには、4.3218MHzのチャネルクロックfckを発生して出力し、DVD再生時に対応する高周波信号HIF=147.6488MHzが入力されたときには、24.6078MHzのチャネルクロックfckを発生して出力することになる。

【0039】

続いて、上記図2に示されているフレームシンク処理部31の内部構成例を図3に示す。

なお、図3に示すフレームシンク処理部31内には、3つのスイッチSW11、SW12、SW13が設けられているのであるが、これらのスイッチは、例えばここでは図示しないシステムコントローラ13の制御によって、CD再生時には端子L側に、DVD再生時には端子H側に切り換えが行われるようになっている。

【0040】

一般に、CLVサーボ系においては、例えばスピンドルモータ1の回転起動時には、いわゆるラフサーボ制御を行うことにより、PLL回路がキャプチャレンジに引き込まれるまでスピンドルモータの回転速度を制御する。そして、PLL回路がロックしたとされる状態では、ラフサーボ回路系から、より精密なCL

V制御回路系に切り換えるようにすることで、ディスク回転速度を線速度一定に制御するようにしている。

【0041】

そして、図3に示すフレームシンク処理部31の回路構成としても、図示するように、ラフサーボ制御系31Aと、より精密なスピンドル回転制御を行う通常サーボ制御系31Bとから成っている。

この場合、ラフサーボ制御系31Aとしては、[11T検出回路51-ピーク／ボトムホールド回路52]がCD再生に対応するラフサーボ系となり、[14T検出回路53-ピーク／ボトムホールド回路54]がDVD再生に対応するラフサーボ系となる。

つまり、CD再生時においては、11T検出回路51により、二値化されたRF信号から、シンクパターンとして固有となる11T-11Tのパターンを検出する。そして、ピーク／ボトムホールド回路53により、この11Tの長さを計測して、この計測値をスイッチSW11を介してエラー成分処理回路62に対して出力する。

同様にして、DVD再生時においては、[14T検出回路53-ピーク／ボトムホールド回路54]により、二値化RF信号からシンクパターンとして固有となる14Tを検出してその長さを計測した計測値を、エラー成分処理回路62に対して出力する。

エラー成分処理回路では62では、このようにして得られた計測値を所定の目標値と比較することで、ラフサーボ制御時に対応する誤差信号Serを出力する。このような誤差信号Serに基づいて、デジタルPLL処理部5がロックする状態に収束するように動作することで、CLV引き込み制御が行われるものである。

【0042】

そして、ラフサーボ制御が終了して通常のCLV制御に切り換わる場合には、通常サーボ制御系31Bが動作することになる。そして、その動作の概要としては次のようになる。

フレームシンク処理部31に入力されたチャネルクロックfckは、分周器5

7及び分周器58に対して分岐して入力される。分周器57はCD再生時に対応して設けられるもので、 $1/588$ の分周比によって、チャンネルクロック $f_{ck} = 4.3218\text{MHz}$ を分周することで、 7.35KHz ($=4.3218\text{MHz}/588$) の周波数を生成し、スイッチSW12を介してフレームクロック生成回路55に出力する。

また、分周器58は、DVD再生に対応して、分周比 $1/1488$ が設定されており、チャンネルクロック $f_{ck} = 24.6078\text{MHz}$ を分周することで、 16.5375KHz ($=24.6078\text{MHz}/1488$) の周波数信号を生成して、スイッチSW12を介してフレームクロック生成回路55に出力する。

【0043】

フレームクロック生成回路55では、入力されるRF信号と、スイッチSW12を介して入力される分周信号とに基づいて、RF信号に同期したフレームクロックを生成する。つまり、RF信号とフレーム単位で同期するクロックとして、CD再生時には、 7.35KHz のフレームクロックを生成し、DVD再生時には、 16.5375KHz のフレームクロックを生成するものである。

【0044】

周波数制御回路56では、上記のようにして入力されるフレームクロックの実際の周波数を計測してその計測値をエラー成分処理回路62に対して出力する。この計測値は、スピンドルモータ1の回転周波数に対応したものとなる。

【0045】

また、基準クロック X_{tal} ($=16.9344\text{MHz}$) は、リファレンスフレームクロック (RFCK) 生成回路59、60に分岐して入力される。

RFCK生成回路59は、CD再生時に対応するもので、基準クロック X_{tal} から、正確に 7.35KHz の周波数を有するRFCKを生成して、スイッチSW13を介して出力する。また、RFCK生成回路60は、DVD再生時に対応しており、同様にして、基準クロック X_{tal} から、正確に 16.5375KHz の周波数を有するRFCKを生成して、スイッチSW13を介して出力する。

【0046】

位相制御回路61では、入力されたフレームクロックと、RFCKとについて、RFCKを基準としてフレームクロックの位相誤差を検出するようにされる。そして、この位相誤差信号をエラー成分処理回路62に対して出力する。ここでの位相誤差信号は、実際に得られているRF信号のフレームタイミングと、RFCKとの位相誤差を示していることになる。

【0047】

このようにして、通常サーボ系31Bからエラー成分処理回路62に対しては、スピンドルモータの回転情報として、周波数制御回路56から入力されるフレームクロック周波数の計測値、つまり、回転周波数の情報と、位相制御回路61からの位相誤差の情報とが入力されることになる。例えば、エラー成分処理回路62では、これらの情報に基づいて生成した誤差信号Serを出力するようにされる。

そして、このような誤差信号Serによって図2に示したPLL回路系が動作することで、正確なフレームタイミングを有するRF信号が得られるようにスピンドルモータ1の回転制御が行われるものである。即ち、CLV制御が実行される。

【0048】

また、図2に示された切換分周器43の内部構成例を、図4に示しておく。なお、この図において図2と同一部分には同一符号を付して説明を省略する。

図2にても説明したように、切換分周器43は、CD再生時には分周比1/98が設定され、DVD再生時には分周比1/558が設定されるようにして構成される。

【0049】

そして、このような切り換えを可能とするために、切換分周器43においては、図4に示すようにして、分周比1/98の分周器43a、分周比1/558の分周器43b、及びスイッチSW21が設けられる。高周波信号HIFは、分周器43a及び分周器43bに対して分岐して入力され、これら分周器43aと分周器43bにて分周された信号は、それぞれスイッチSW21の端子L、端子H

に出力される。スイッチ SW21 は、端子 L、H を択一的に選択して、位相比較器 44 に対して信号を入力する。このような構成によって、例えばシステムコントローラ 13 の制御により、CD 再生時にはスイッチ SW21 が端子 L に切り換えられることで、高周波信号 HIF を分周比 $1/98$ により分周した信号を位相比較器 44 に入力することができ、また、DVD 再生時にはスイッチ SW21 が端子 H に切り換えられることで、高周波信号 HIF を分周比 $1/558$ により分周した信号を位相比較器 44 に入力することができる。

【0050】

本実施の形態のデジタル PLL 処理部 5 は、上記した構成を採ることによって、CD と DVD との再生に対応可能としているのであるが、例えば先に図 7 に示した信号パラメータでは、DVD のシンクフレーム周波数 $f_{sync} \cong 17.58 \text{ KHz}$ であるのに対し、実際のデジタル PLL 処理部 5 においては、DVD 再生時のシンクフレーム周波数 f_{sync} (フレームクロック) は 16.5375 KHz となっている。また、図 7 に示される DVD のチャネルクロック周波数 $f_{ck} = 26.16 \text{ MHz}$ とされているのに対して、デジタル PLL 処理部 5 において得られる実際のチャネルクロック周波数 $f_{ck} = 24.6078 \text{ KHz}$ となっているものである。

つまり、本実施の形態のデジタル PLL 処理部 5 においては、DVD 再生時における信号の転送レート (即ち f_{sync} , f_{ck}) が、DVD の信号フォーマットに基づいて得られるべき転送レートと若干異なっているものである。そこで次に、その理由、及びこの理由に基づいての信号パラメータの設定について説明する。

【0051】

本実施の形態のデジタル PLL 処理部 5 は、本来は CD 再生に適合した構成を採るデジタル PLL 回路を基として構成されているものである。つまり、CD 再生に対応する PLL 回路に対して、図 2 及び図 3 に示したようにして、 1.4 T を検出するためのラフサーボ回路系を設け、また、所要の信号経路において、DVD に適合した分周比を有する分周器を設けて、この DVD 対応の分周器と、CD 対応の分周器との切り換えが可能にしているものである。

【0052】

このようにして、もとはCD用であるところのPLL回路を流用するようにすれば、CD再生に関しては問題なく対応できる上、DVD再生に関しては、上記したように、必要な分周器等について分周比を切り換え可能とする構成を付加するのみで、容易に対応できることになる。また、上記した分周比等の切り換えを実際にもスイッチにより切り換えるようにすれば、ファームウェアの制御処理も簡略化することができ、特に処理負担が重くなることの問題も生じないようにすることができる。

更には、本実施の形態のPLL回路、つまり、デジタルPLL処理部5としては、デジタルPLL回路48を採用している構成を採るため、例えばアナログPLL回路で必要とされていた定数の合わせ込みなどの調整作業も省くことが可能となる。これに対して、従来において例えばCDとDVDの両者を再生可能とするのにあたっては、CDとDVDとについて各々別個のPLL回路を備え、特にDVDに対応するPLL回路としては、これまでに用いられていたアナログPLL回路が採用されていた。

【0053】

但し、本実施の形態のPLL回路の基本構成として、本来はCD再生に適合した信号パラメータに基づく構成が採られている以上、システムPLL回路5Aにおいて、リファレンスとして位相比較器41に入力される基準クロック X_{tal} $=16.9344\text{MHz}$ としては、図7にても説明したように、CDの信号フォーマットに基づいて設定されているものとなっている。つまり、DVDの信号フォーマットに適合しているものではない。

このため、本実施の形態のデジタルPLL処理部5としては、この基準クロック $X_{tal}=16.9344\text{MHz}$ を、DVD再生時のリファレンスとしても使用した上で、適正にチャネルクロックが再生されるようにするための構成を採る必要が生じてくるものである。

【0054】

そこで、本実施の形態においては、デジタルPLL処理部5としてDVD対応を可能とするための信号パラメータとして、次のようにして決定することにより

、先に図2又は図3に示した、実際の信号の転送レート (f_{sync} , f_{ck}) を得るようにしているものである。

【0055】

上記記述からも分かるように、本実施の形態のデジタルPLL処理部5としては、本来、CD対応である基準クロック $X_{tal} = 16.9344\text{MHz}$ を利用したうえで、DVD再生時のCLV制御を可能とすることが要求される。しかし実際には、基準クロック $X_{tal} = 16.9344\text{MHz}$ という値は、1倍速CLV時におけるDVDのシンクフレーム周波数 $f_{sync} = 17.58\text{kHz}$ によっては割り切れない。そこで、回路上でのシンクフレーム周波数 f_{sync} としては、基準クロック $X_{tal} = 16.9344\text{MHz}$ から生成可能な(割り切れる)周波数で、かつ、フォーマット上規定される 17.58kHz に近い値を求めるようにすることになる。

【0056】

そして、本実施の形態としては、基準クロック X_{tal} を1024分周することで、

$$\begin{aligned} f_{sync} &= X_{tal} / 1024 \\ &= 16.9344\text{MHz} / 1024 \\ &= 16.5375\text{kHz} (\cong 17.58\text{kHz}) \cdots (\text{式4}) \end{aligned}$$

で表されるようにして、実際の回路上でのシンクフレーム周波数 f_{sync} については、 16.5375kHz としている。

そして、チャネルクロック周波数 f_{ck} は、シンクフレーム周波数 f_{sync} にシンクフレーム長 $1488T$ を乗算することによって得られることから、DVD再生時における回路上での実際のチャネルクロック周波数 f_{ck} としては、

$$\begin{aligned} f_{ck} &= f_{sync} \times T_{sync} \\ &= 16.5375\text{kHz} \times 1488 \\ &= 24.6078\text{MHz} (\cong 26.16\text{MHz}) \cdots (\text{式5}) \end{aligned}$$

となる。

【0057】

上記のようにして、回路上での信号パラメータとして、シンクフレーム周波数

$f_{sync} = 16.5375 \text{ KHz}$ 、チャンネルクロック周波数 $f_{ck} = 24.6078 \text{ MHz}$ と決定したことで、例えば図3に示すRFCK生成回路60としては、基準クロック X_{tal} を1024分周することにより、シンクフレーム周波数 $f_{sync} = 16.5375 \text{ KHz}$ に相当するRFCKを得るようにしているものである。また、チャンネルクロック f_{ck} を入力して、DVD対応のフレームクロックを生成するための分周器58としては、分周比 $1/1488$ を設定することで、 16.5375 KHz の分周信号を得るようにされている。

そして、結果的には、デジタルPLL回路48にて得られるDVD対応のチャンネルクロック周波数 f_{ck} としては、信号フォーマットに従った 26.16 MHz とは異なる、 24.6078 MHz という周波数が得られるようになっている。

【0058】

そして、上記(式4)(式5)によって得られた、実際の回路上での信号パラメータの条件に基づいて、チャンネルクロック生成系のHIF-PLL回路5Bに適用したとすると、次のようになる。

本実施の形態の場合、デジタルPLL回路48は、チャンネルクロック周波数 f_{ck} の6倍の周波数信号を動作クロックとして入力して動作するように構成されている。従って、DVD再生時に対応する、動作クロックであるところの高周波信号HIF(即ち、VCO46(図2参照)の出力)としては、

$$\begin{aligned} \text{HIF} &= f_{ck} \times 6 \\ &= 24.6078 \text{ MHz} \times 6 \\ &= 147.6488 \text{ MHz} \cdots \cdots (\text{式6}) \end{aligned}$$

が必要とされることになる。そして、基準クロック X_{tal} と高周波信号HIFについては、次のような関係を有していることになる。

$$\begin{aligned} X_{tal} : \text{HIF} &= 16.9344 \text{ MHz} : 147.6488 \text{ MHz} \\ &= 32 : 279 \cdots \cdots (\text{式7}) \end{aligned}$$

このことから、HIF-PLL回路5Bにおける位相比較器44に入力すべき信号としては、チャンネルクロック生成用基準信号 V_{clk} ($= 16.9344 \text{ MHz}$) を32分周し、高周波信号HIFについては、279分周すればよいこと

となる。ただし、本実施の形態の場合には、DVD再生時にはCD再生時と比較して約6倍速相当にまで高速化することを考慮して、高周波信号HIF側の系の動作速度の限界を高めるために、実際には前段に分周比1/2の回路を追加している。そこで実際には、次のようにしてチャネルクロック生成用基準信号Vclk及び高周波信号HIFを分周するようにされる。

$$\begin{aligned} Vclk &= 2 \times 32 \\ &= 2 \times 2 \times 2 \times 2 \times 2 \times 2 \\ &= 64 \text{ (分周比 } 1/64) \cdots \text{ (式8)} \end{aligned}$$

$$\begin{aligned} HIF &= 2 \times 279 \\ &= 2 \times 3 \times 3 \times 31 \\ &= 558 \text{ (分周比 } 1/558) \cdots \text{ (式9)} \end{aligned}$$

そして、図2に示した分周器42については、上記式8に基づいて、トータルで分周比1/64が得られるように回路を構成するようにされる。そして、同様にして、切換分周器43内における分周器43bについては、上記式9に基づいて回路が構成されることで、分周比1/558を設定するようにされるものである。

【0059】

また、ディスクの再生速度についてであるが、前述もしたように、システムPLL回路5A内におけるチャネルクロック生成用基準信号Vclkの分周器37、38における分周比の分母としての変数m、nを変更して、分周比を可変することで、ディスク再生のためのCLV速度を自在に可変制御することが可能である。

つまり、位相比較器41に対してリファレンスとして入力される基準クロックXtal=16.9344MHzに対する分周比としては、分周器39、40によってトータルで $2 \times 32 = 64$ 分周されるのに対して、ここでチャネルクロック生成用基準信号Vclk=16.9344MHzは、分周器36、37、38によって $2 \times m \times n$ 分周されていることになる。そこで、変数m、nを変更することで、位相比較器41に入力される基準クロックXtalに基づく分周信号(=264.6KHz=16.9344MHz/64)に対するチャネルクロック

生成用基準信号 V_{clk} の分周信号の周波数の比を設定することで、この周波数比に応じた CLV 倍速度が設定可能になるわけである。

従って、再生速度 P_{s1} としては、

$$P_{s1} = (m \times n) / 32 \cdots (式10)$$

により表すことができる。そして、上記式10によれば、 $(m \times n) = 32$ とすれば再生速度を1倍速 CLV とすることが可能になる。

【0060】

しかしながら、本実施の形態においては、基準クロック $X_{tal} = 16.9344 \text{ MHz}$ とされて本来は CD 再生に対応しているものであることから、実際としては、 $(m \times n) = 32$ としても、 DVD 再生時は正確な1倍速 CLV としての再生速度を得ることはできない。そして、上記式102より表された再生速度 P_{s1} に対する、本実施の形態の PLL 回路による現実の再生速度 P_{s2} との関係としては、本実施の形態の PLL 回路における現実の DVD 対応のチャネルクロック周波数 $f_{ck} = 24.6078 \text{ MHz}$ であり、信号フォーマットによるチャネルクロック周波数 $f_{ck} = 26.16 \text{ MHz}$ とされることから、次のようになる。

$$\begin{aligned} P_{s2} &= P_{s1} \times 24.6078 \text{ MHz} / 26.16 \text{ MHz} \\ &\doteq P_{s1} \times 0.940 \cdots (式11) \end{aligned}$$

従って、本実施の形態の PLL 回路によって、信号フォーマットに従った正規の1倍速 CLV で再生を行うためには、上記式11から

$$P_{s1} = 1 / 0.940 = 1.063 \cdots (式12)$$

を設定する必要があることになる。つまり $P_{s1} = 1.063$ となるような変数 m, n の値を選定すればよいことになる。

【0061】

そして、上記変数 m, n によって実際に実現可能な分周比によって得られる再生速度 P_{s1} と P_{s2} との関係は図8に示すものとなる。

この図によれば、 $m \times n$ により得られる分周数 $= 34$ のときに、再生速度 $P_{s1} = 1.625$ となり、現実の再生速度 $P_{s2} = 0.999$ となって、1倍速 CLV に最も近くなる。

本実施の形態の場合、このようにしてDVD再生時には、完全に正確な1倍速CLVを実現することはできないのであるが、上記した程度の誤差であれば、実際にはほとんど支障はないものとされる。また、現実のDVD再生においては、1倍速CLV以上の回転速度によるCLV、若しくはCAVによって回転駆動され、再生データをバッファリングすることで出力データの時間軸の整合をとるという構成を採ることが考えられ、また容易に可能であるが、この場合には、バッファリング後のデータレートを1倍速となるようにデータの読み出しレートを設定すればよいために、PLL回路が正確な1倍速で動作しないことによる影響は考えなくてもよいことになる。

【0062】

なお、本発明は上記実施の形態としての構成に限定されるものではなく各種変更が可能とされる。例えば、本実施の形態としては、CDとDVDとの再生を可能とするPLL回路の構成を例に挙げたが、これ以外のディスク種別の組み合わせにも適用することが可能である。また、本発明のPLL回路が対応可能なディスクメディアの種別数も、例えばCD及びDVDという2種類に限定されず、3種類以上のディスクメディアの種別に対応可能とされる。

【0063】

【発明の効果】

以上説明したように本発明は、回転駆動されるディスク状記録媒体から読み出されるデータに同期したチャネルクロックを再生するためのPLL回路において、所要の信号経路内に設けられる分周器の分周比を、例えばCD再生信号、DVD再生信号などの再生信号フォーマットに応じて切り換え可能とされている。

信号フォーマットが異なれば、一般には、再生信号に同期するチャネルクロック周波数も異なってくるのであるが、本発明によれば、1つのPLL回路内において分周比を切り換えるという動作のみによって、複数の信号フォーマットに対応して適正にチャネルクロックを再生することが可能とされる。

また、本発明としては、例えばもともと在る特定のディスク状記録媒体（信号フォーマット）に適合するようにして構成されたPLL回路を流用し、このPLL回路に対して分周器の切り替え機能を付加することで、新たな他のディスク状

記録媒体（信号フォーマット）にも対応可能とすることができるため、製造能率及び製造コスト等の面でも有利となるものである。

【図面の簡単な説明】

【図 1】

本発明の実施の形態としてのPLL回路が備えられる再生装置の構成例を示すブロック図である。

【図 2】

本発明の実施の形態としてのPLL回路である、デジタルPLL処理部の内部構成例を示すブロック図である。

【図 3】

デジタルPLL処理部の内部に備えられるフレームシンク処理部の構成例を示すブロック図である。

【図 4】

高周波信号HIFを分周する切換分周器の内部構成例を示すブロック図である。

【図 5】

CDとDVDの各フレームフォーマットを示す説明図である。

【図 6】

DVDフォーマットとして、フレームシンクパターンを示す説明図である。

【図 7】

CD再生とDVD再生とに対応して、本実施の形態のPLL回路に適用される信号パラメータを示す説明図である。

【図 8】

本実施の形態のPLL回路における、CLV制御系の分周比と再生速度との関係を示す説明図である。

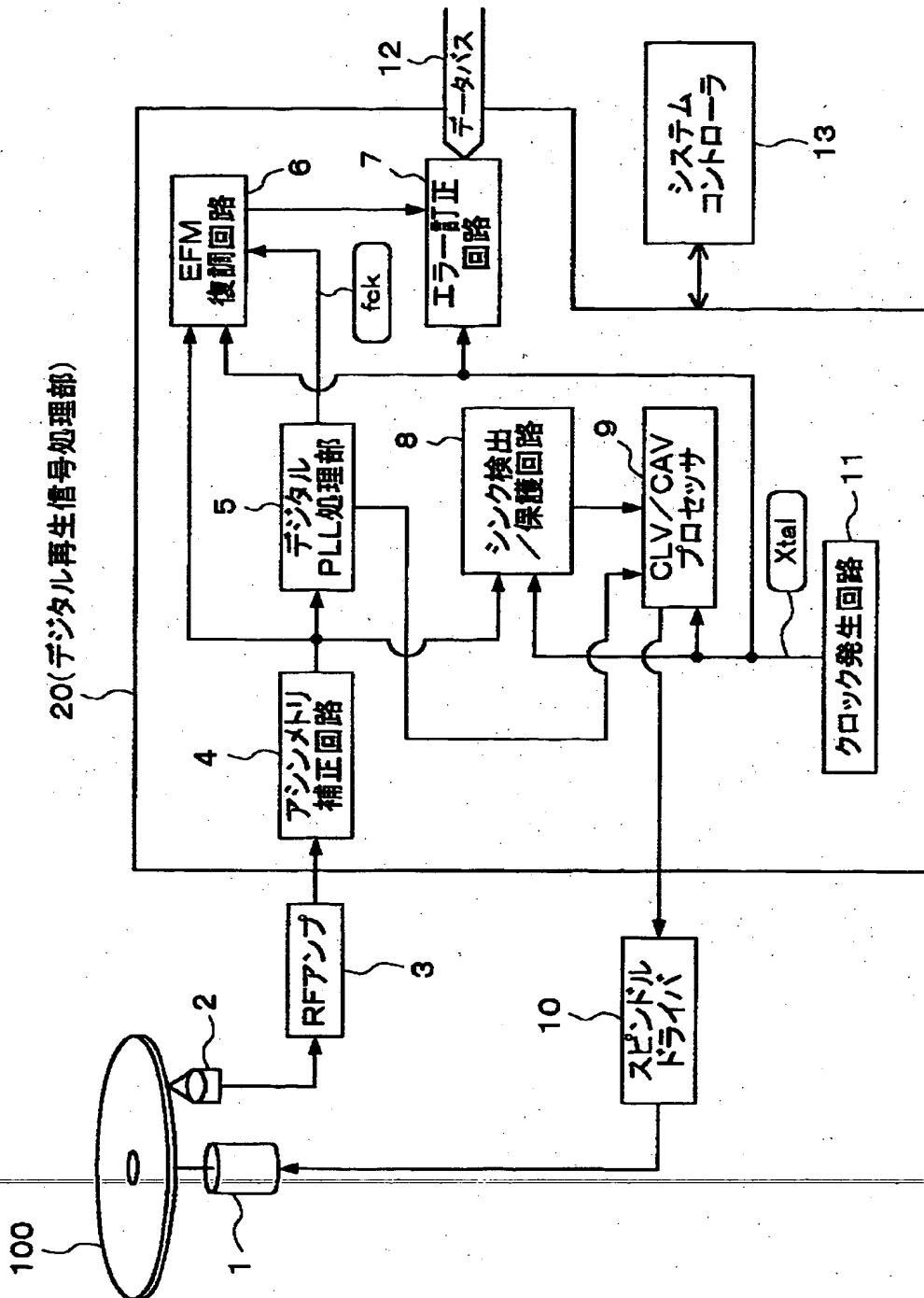
【符号の説明】

1 スピンドルモータ、2 光学ピックアップ、3 RFアンプ、4 アシンメトリ補正回路、5 デジタルPLL処理部、6 EFM復調回路、7 エラー訂正回路、8 シンク検出／保護回路、9 CLV／CAVプロセッサ、10

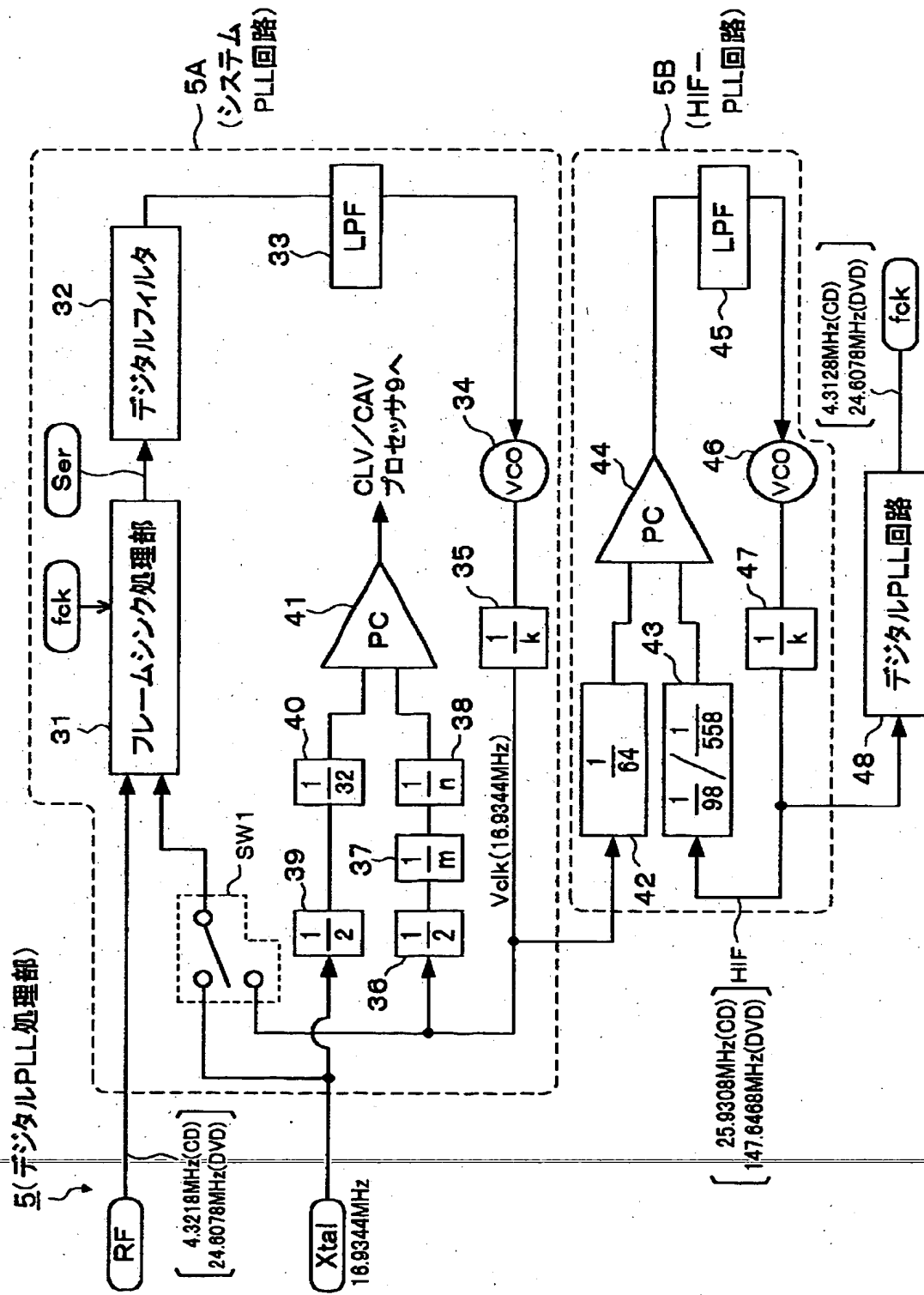
スピンドルドライバ、11 クロック発生回路、12 データバス、13 システムコントローラ、31 フレームシンク処理部、32 デジタルフィルタ、33 LPF、35, 36, 37, 38, 39, 40, 42, 47 分周器、43 切換分周器、43a, 43b 分周器、33, 45 LPF、41, 44 位相比較器、48 デジタルPLL回路、51 11T検出回路、52, 54 ピーク/ボトム検出回路、53 14T検出回路、55 フレームクロック生成回路、56 周波数制御回路、57, 58 分周器、59, 60 RFCK生成回路、61 位相制御回路、62 エラー成分処理回路、SW1, SW11, SW12, SW13, SW21 スイッチ

【書類名】 図面

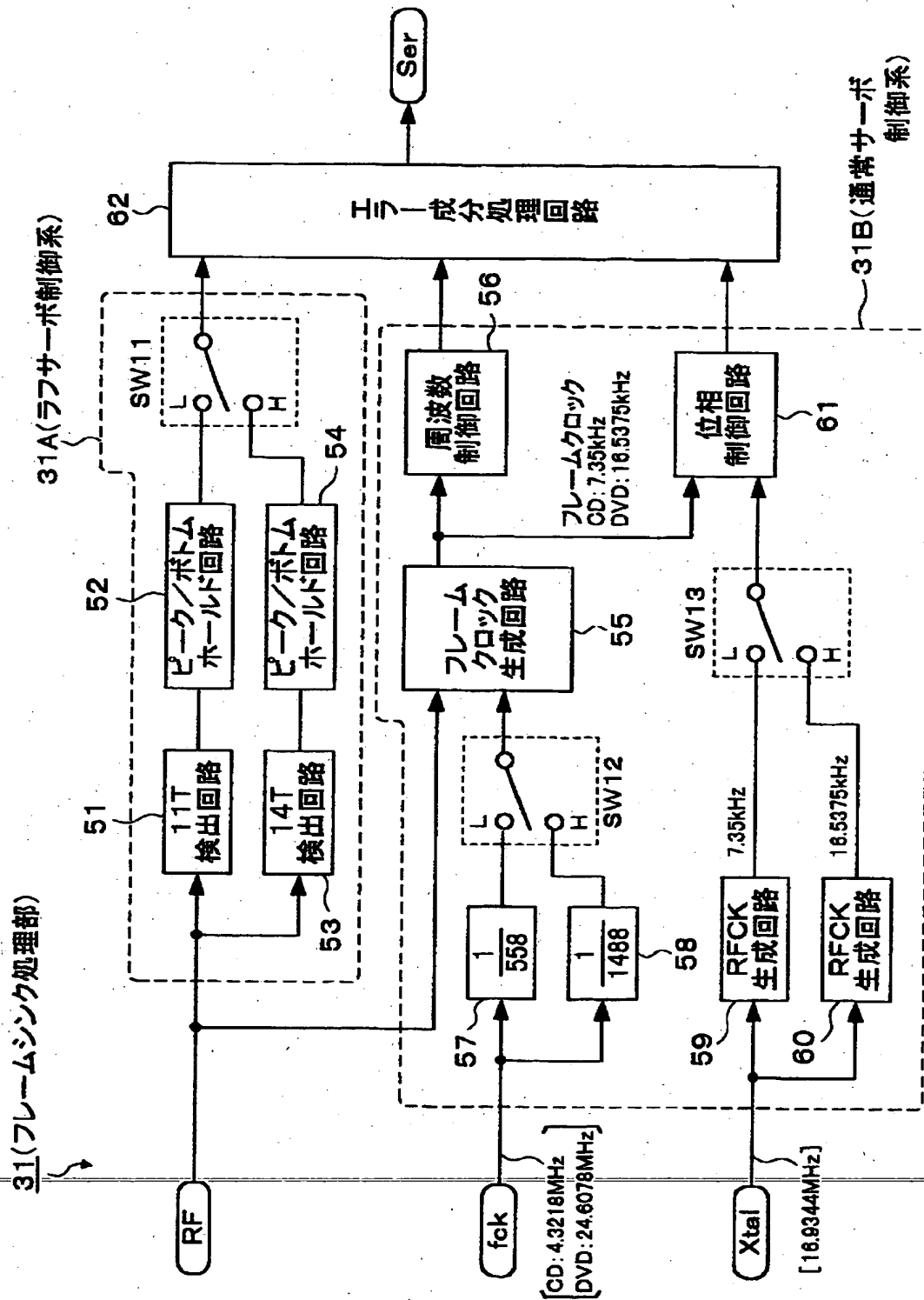
【図1】



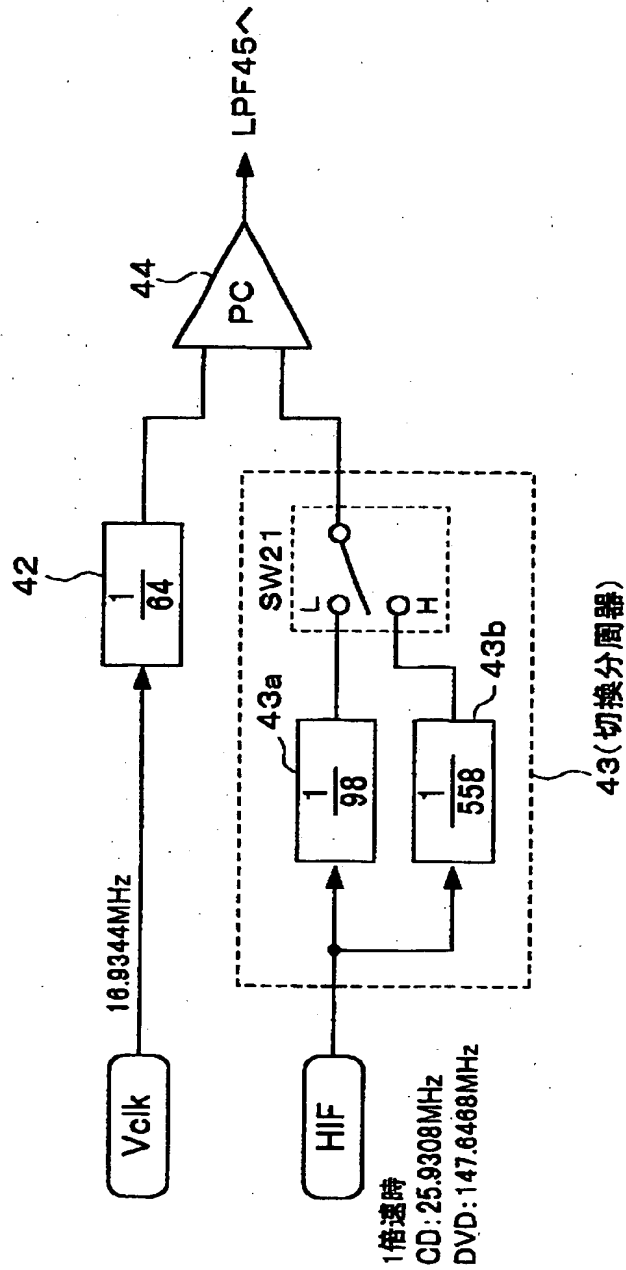
【図 2】



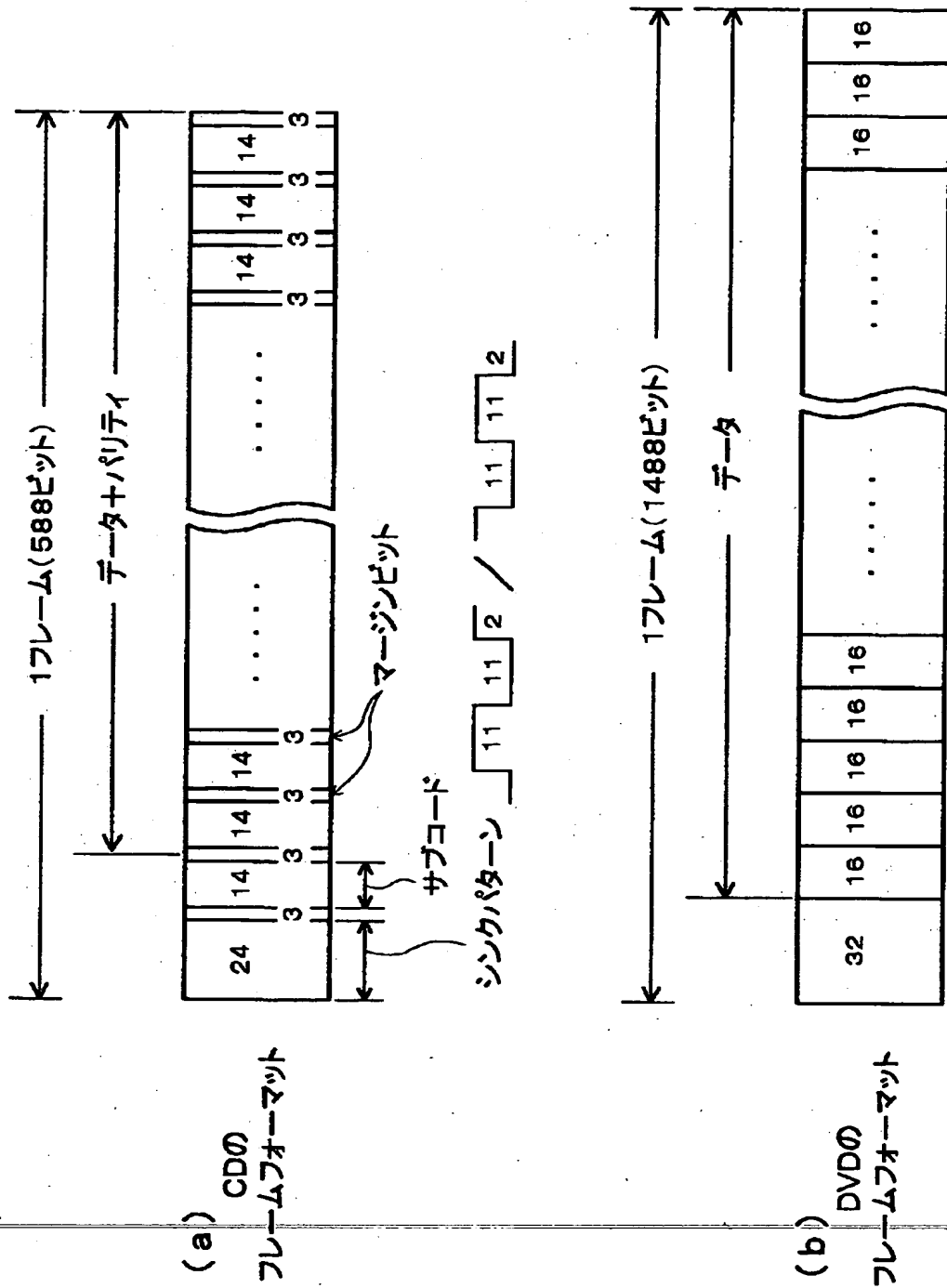
【図3】



【図4】



【図 5】



【図 6】

| | | (MSB) | (LSB) |
|--------|-----|------------------|------------------|
| State1 | SY0 | 0001001001000100 | 0000000000010001 |
| | SY1 | 0000010000000100 | 0000000000010001 |
| | SY2 | 0001000000000100 | 0000000000010001 |
| | SY3 | 0000100000000100 | 0000000000010001 |
| | SY4 | 0010000000000100 | 0000000000010001 |
| | SY5 | 0010001001000100 | 0000000000010001 |
| | SY6 | 0010010010000100 | 0000000000010001 |
| | SY7 | 0010010001000100 | 0000000000010001 |
| State2 | SY0 | 0001001000000100 | 0000000000010001 |
| | SY1 | 0000010001000100 | 0000000000010001 |
| | SY2 | 0001000001000100 | 0000000000010001 |
| | SY3 | 0000100001000100 | 0000000000010001 |
| | SY4 | 0010000001000100 | 0000000000010001 |
| | SY5 | 0010001000000100 | 0000000000010001 |
| | SY6 | 0010000010000100 | 0000000000010001 |
| | SY7 | 0010010000000100 | 0000000000010001 |
| State3 | SY0 | 1001001000000100 | 0000000000010001 |
| | SY1 | 1000010001000100 | 0000000000010001 |
| | SY2 | 1001000001000100 | 0000000000010001 |
| | SY3 | 1000001001000100 | 0000000000010001 |
| | SY4 | 1000100001000100 | 0000000000010001 |
| | SY5 | 1000100100000100 | 0000000000010001 |
| | SY6 | 1001000010000100 | 0000000000010001 |
| | SY7 | 1000100010000100 | 0000000000010001 |
| State4 | SY0 | 1001001001000100 | 0000000000010001 |
| | SY1 | 1000010000000100 | 0000000000010001 |
| | SY2 | 1001000000000100 | 0000000000010001 |
| | SY3 | 1000001000000100 | 0000000000010001 |
| | SY4 | 1000100000000100 | 0000000000010001 |
| | SY5 | 1000000100000100 | 0000000000010001 |
| | SY6 | 1000000001000100 | 0000000000010001 |
| | SY7 | 1000000010000100 | 0000000000010001 |

14T+4Tの固定パターン

【図 7】

| | | |
|-----|-------------------|-------------------------|
| CD | RF信号のパターン | 3T~11T |
| | チャンネルクロック周波数(fck) | 4.3218MHz |
| | シンクフレーム長(Tsync) | 588T |
| | シンクフレーム周波数(fsync) | 7.35kHz |
| | シンクコードパターン | 11T+11T+2Tの固定パターン |
| | Xtal | 16.9344MHz |
| | チャンネルクロック生成用基準信号 | 16.9344MHz $\pm \alpha$ |
| DVD | RF信号のパターン | 3T~11T, 14T |
| | チャンネルクロック周波数(fck) | 26.16MHz |
| | シンクフレーム長(Tsync) | 1488T |
| | シンクフレーム周波数(fsync) | 約17.58kHz |
| | シンクコードパターン | 14T+4Tを含む32Tのパターン(32種類) |
| | Xtal | 16.9344MHz |
| | チャンネルクロック生成用基準信号 | 16.9344MHz $\pm \alpha$ |

【図8】

| $m \times n$ | Ps1 | Ps2 |
|--------------|--------|-------|
| 33 | 1.0312 | 0.970 |
| 34 | 1.0625 | 0.999 |
| 35 | 1.0938 | 1.029 |
| 36 | 1.1250 | 1.058 |

【書類名】 要約書

【要約】

【課題】 簡略な P L L 回路の構成によっても、適正に、複数種類の信号フォーマットに対応してチャネルクロックを再生可能とする。

【解決手段】 回転駆動されるディスク状記録媒体から読み出されるデータに同期したチャネルクロックを再生するための P L L 回路において、所要の信号経路内に設けられる分周器の分周比を、例えば C D 再生信号、D V D 再生信号などの再生信号フォーマットに応じて切り換え可能とする。信号フォーマットが異なれば、再生信号に同期するチャネルクロック周波数も異なってくるのであるが、上記構成により、1つの P L L 回路内において分周比を切り換えるという動作のみによって、複数の信号フォーマットに対応して適正にチャネルクロックを再生することが可能となる。

【選択図】 図 2

認定・付加情報

| | |
|---------|------------------|
| 特許出願の番号 | 特願 2000-374695 |
| 受付番号 | 50005052381 |
| 書類名 | 特許願 |
| 担当官 | 濱谷 よし子 1614 |
| 作成日 | 平成 13 年 1 月 11 日 |

<認定情報・付加情報>

【特許出願人】

| | |
|----------|-------------------------|
| 【識別番号】 | 000002185 |
| 【住所又は居所】 | 東京都品川区北品川 6 丁目 7 番 35 号 |
| 【氏名又は名称】 | ソニー株式会社 |

【代理人】

申請人

| | |
|----------|-----------------------------------|
| 【識別番号】 | 100086841 |
| 【住所又は居所】 | 東京都中央区新川 1 丁目 27 番 8 号 新川大原ビル 6 階 |

| | |
|----------|------|
| 【氏名又は名称】 | 脇 篤夫 |
|----------|------|

【代理人】

| | |
|----------|------------------------------------------|
| 【識別番号】 | 100114122 |
| 【住所又は居所】 | 東京都中央区新川 1 丁目 27 番 8 号 新川大原ビル 6 階 脇特許事務所 |

| | |
|----------|-------|
| 【氏名又は名称】 | 鈴木 伸夫 |
|----------|-------|

出 願 人 履 歴 情 報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都品川区北品川6丁目7番35号

氏 名 ソニー株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.